

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-009283

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

H01L 29/78
H01L 21/8238
H01L 27/092

(21)Application number : 2001-082214

(71)Applicant : SEIKO INSTRUMENTS INC

(22)Date of filing : 22.03.2001

(72)Inventor : OMI TOSHIHIKO
ISHII KAZUTOSHI

(30)Priority

Priority number : 2000117970 Priority date : 19.04.2000 Priority country : JP
2000117964 19.04.2000

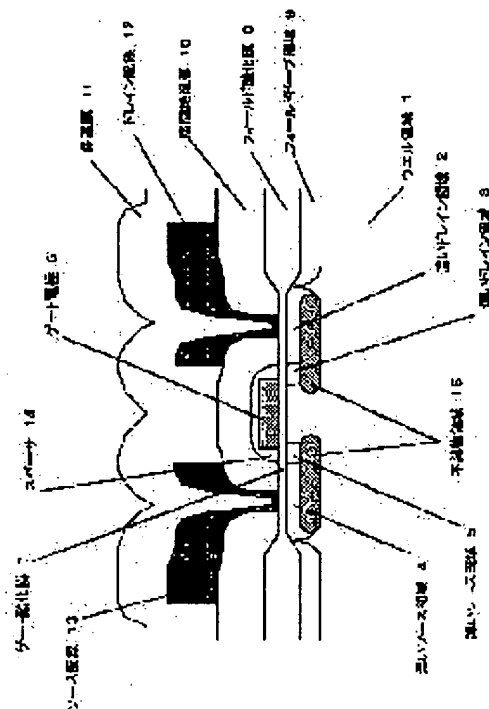
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a MOS transistor of which the leakage current is suppressed.

SOLUTION: Formation of a region with an opposite polarity to that of a drain region and a higher impurity concentration than that of a well area of a MOS transistor in a lower part of the drain region of the MOS transistor, can suppress broadening of a depletion layer between the drain and the well toward the well side. Especially, since the broadening of the depletion layer in a lower part of the drain region toward the well side can be suppressed, the current flowing through a deeper path than the channel is suppressed effectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's.
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-9283

(P2002-9283A)

(43) 公開日 平成14年1月11日 (2002. 1. 11)

(51) Int.Cl.⁷

識別記号

F I

テームコード* (参考)

H 0 1 L 29/78
21/8238
27/092

H 0 1 L 29/78
27/08

3 0 1 X
3 2 1 E

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願2001-82214 (P2001-82214)

(22) 出願日 平成13年3月22日 (2001. 3. 22)

(31) 優先権主張番号 特願2000-117970 (P2000-117970)

(32) 優先日 平成12年4月19日 (2000. 4. 19)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-117964 (P2000-117964)

(32) 優先日 平成12年4月19日 (2000. 4. 19)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 近江 俊彦

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

(72) 発明者 石井 和敏

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

(74) 代理人 100096378

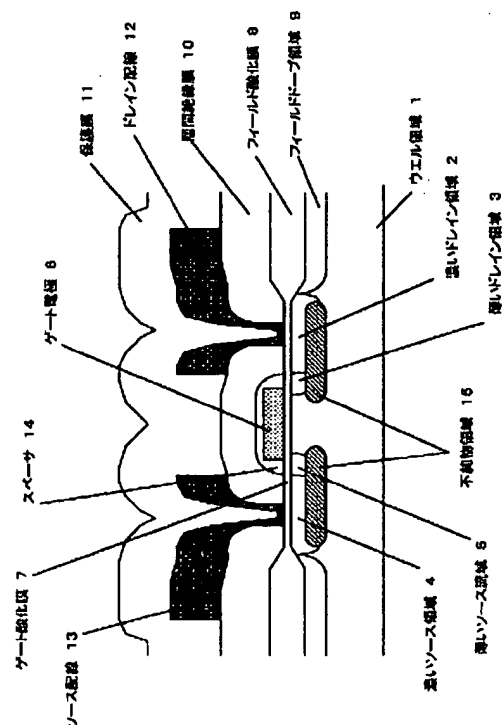
弁理士 坂上 正明

(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【課題】 リーク電流を抑制したMOSトランジスタの提供。

【解決手段】 MOSトランジスタのドレイン領域の下部に、ドレイン領域とは異なる極性でかつ前記MOSトランジスタのウェル領域よりも不純物濃度が高い不純物領域が形成し、ドレインとウェル間の空乏層のウェル側への広がりを抑制することができる。とくに、ドレイン領域の下部における空乏層のウェル側への広がりを抑制するため、チャネルよりも深い領域を通して流れる電流を抑制することに対する効果が大きい。



【特許請求の範囲】

【請求項 1】 MOSトランジスタからなる半導体素子において、前記MOSトランジスタのドレイン領域の下部に、前記ドレイン領域とは異なる極性でかつ前記MOSトランジスタのウェル領域よりも不純物濃度が高い不純物領域を有することを特徴とする半導体素子。

【請求項 2】 前記不純物領域の平面的な形成部分が、前記ドレイン領域の形成部分と同一であることを特徴とする請求項 1 の半導体素子。

【請求項 3】 前記不純物領域の形成工程が、前記ドレイン領域の形成工程の直前もしくは直後であり、前記ドレイン領域が薄いドレイン領域と濃いドレイン領域からなる場合は、薄いドレイン領域の形成工程の直前もしくは直後であることを特徴とする請求項 1 または 2 の半導体素子。

【請求項 4】 前記不純物領域の形成方法が不純物イオン注入によるものであり、かつイオン注入の深さが、前記ドレイン領域の接合深さ近傍であり、前記ドレイン領域が薄いドレイン領域と濃いドレイン領域からなる場合は、薄いドレイン領域の接合深さ近傍であることを特徴とする請求項 1～3 いずれか 1 項記載の半導体素子。

【請求項 5】 前記不純物領域の不純物イオン数が、前記ドレイン領域の不純物イオン数の数10%であることを特徴とする請求項 1 乃至 4 いずれか 1 項記載の半導体素子。

【請求項 6】 P型半導体基板表面付近にゲート絶縁膜を介してN型多結晶シリコンゲートを形成する第 1 の工程と、前記N型多結晶シリコンゲートをマスクに自己整合的にN型不純物を導入し低濃度N型不純物領域を形成する第 2 の工程と、前記N型多結晶シリコンゲートと前記P型半導体基板表面付近をウェット熱酸化法を用いて700℃から800℃の温度で10分から30分間酸化することにより前記N型多結晶シリコンゲート側壁部に酸化膜を形成する第 3 の工程と、前記N型多結晶シリコンゲートと前記酸化膜をマスクにN型不純物を導入し高濃度N型不純物領域を形成する第 4 の工程を有することを特徴とする絶縁ゲート型半導体素子の製造方法。

【請求項 7】 前記第 2 の工程において、前記N型低濃度不純物領域を形成した後に、前記N型低濃度不純物領域の下側にP型不純物を導入し、MOSトランジスタのドレイン領域の下部に、前記ドレイン領域とは異なる極性でかつ前記MOSトランジスタのウェル領域よりも不純物濃度が高い不純物領域を形成する工程を有することを特徴とする請求項 6 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 8】 前記N型低濃度不純物領域濃度を略1E

18/cm³で形成し、前記ドレイン領域下部の不純物領域の濃度を略1E17/cm³で形成する工程を有することを特徴とする請求項 6 または 7 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 9】 P型半導体基板表面付近にN型ウェル領域を形成し、前記N型ウェル領域表面付近にゲート絶縁膜を介してN型多結晶シリコンゲートを形成する第 1 の工程と、

前記N型多結晶シリコンゲートをマスクに自己整合的にP型不純物を導入し低濃度P型不純物領域を形成する第 2 の工程と、

前記N型多結晶シリコンゲートと前記N型ウェル領域表面付近をウェット熱酸化法を用いて700℃から800℃の温度で10分から30分間酸化することにより前記N型多結晶シリコンゲート側壁部に酸化膜を形成する第 3 の工程と、

前記N型多結晶シリコンゲートと前記酸化膜をマスクにP型不純物を導入し高濃度P型不純物領域を形成する第 4 の工程とを有することを特徴とする絶縁ゲート型半導体素子の製造方法。

【請求項 10】 前記第 2 の工程において、P型低濃度不純物領域を形成した後に、前記P型低濃度不純物領域の下側にN型不純物を導入し、MOSトランジスタのドレイン領域の下部に、前記ドレイン領域とは異なる極性でかつ前記MOSトランジスタのウェル領域よりも不純物濃度が高い不純物領域を形成する工程を有することを特徴とする請求項 9 請求項 1 記載のドレイン領域下部の不純物領域を形成する工程を有することを特徴とする請求項 3 記載の絶縁ゲート型半導体装置の製造方法。記載の絶縁ゲート型半導体装置の製造方法。

【請求項 11】 前記P型低濃度不純物領域濃度を略1E18/cm³で形成し、前記ドレイン領域下部の不純物領域濃度を略1E17/cm³で形成する工程を有することを特徴とする請求項 9 または 10 記載の絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 MOSトランジスタで構成された半導体素子は、家電機器、AV機器、情報機器、通信機器、自動車電装機器など広い分野で応用される。近年、電気機器の携帯化に伴い、パワーマネジメントICの必要性が従来にも増して高まっている。本発明は、主に低消費電力でかつ大電流を駆動できるドライバ素子を搭載している半導体素子に関する。

【0002】

【従来の技術】 半導体素子に使われるMOSトランジスタは、ゲート電極の長さを小さくし、チャネル長を小さくすることで、低容量化、高電流駆動化、省サイズ化ができ、安価で、高速で、大規模な回路の半導体素子を実

現することができる。反面、チャネル長を小さくすると、MOSトランジスタのオフ状態におけるドレイン、ソース間のリーク電流が、チャネル領域を流れる電流に加え、チャネルよりも深い領域を通して流れる電流を抑制する必要がある。この対策として従来から、ドレインとウェル間の空乏層がウェル側に大きく広がらないように、チャネルに近い側のドレイン領域に薄い不純物濃度のドレイン領域を新たに形成した、LDD (Lightly Doped Drain) 構造などが広く応用されてきた。

【0003】LDD構造は、一般的にゲート電極となるPol
y膜を加工した後に薄い不純物濃度のドレイン領域を形成し、その後CVD法により酸化膜等を堆積しエッチングを施すことでPolyゲート電極の側壁に後のイオン注入において不純物イオンがシリコン基板に入らないようにするためのスペーサーを形成する。その後、濃い不純物濃度のドレイン領域がイオン注入で形成され、LDD構造を形成している。

【0004】

【発明が解決しようとする課題】しかしながら、大電流を駆動する必要があるドライバ素子として使うMOSト
ランジスタにおいては、チャネル幅が数十ミリメートル程
度必要になる場合があり、前記LDD構造などドレイン領
域に薄い不純物濃度のドレイン領域を形成するだけで
は、リーク電流の抑制は不十分な場合がある。このた
め、ウェル領域の不純物濃度を高くして、ドレインとウ
ェル間の空乏層のウェル側への広がりを更に抑制する構
造がとられている場合がある。しかし、ウェル領域の不
純物濃度を高くすると、チャネル領域の不純物濃度も増
加してしまうため、MOSトランジスタのサブスレショル
ド領域における特性が悪化することになり、チャネルを
流れるリーク電流が増加することにつながっていた。

【0005】また、スペーサーを用いたLDD構造の問題
点はゲート幅を小さくすることによるゲート電極の抵抗
の問題がある。チャネル長を短くすることによって、動
作速度を向上させたとしても、ゲート電極の抵抗が大き
ければ、抵抗増の分だけ伝播速度は低下する。ゲート電
極の抵抗を低下させるには例えば、従来使用されていた
不純物濃度の大きな多結晶シリコンのかわりに抵抗率の
小さな金属シリサイドを用いることや、ゲート電極と平
行にアルミニウムのような低抵抗配線を走らせることが
検討され、採用されているが、それとて、ゲート電極
の幅が $0.3\mu\text{m}$ 以下となる状況では限界となることが
予想される。

【0006】その場合の解決方法として、ゲート電極の
高さとの比（アスペクト比）を大きくする方法があ
る。ゲート電極のアスペクト比を大きくすることによ
って、ゲート電極の断面積を大きくし、抵抗を下げるこ
とが可能となる。しかしながら、従来のLDDは、その作
製上の問題からアスペクト比を無制限に大きくはできな
かった。

【0007】それは異方性エッチングで形成されるスペ
ーサーの幅がゲート電極の高さに依存するためである。
通常、スペーサーの幅は少なくともゲート電極の高さの
20%以上となった。したがって、図2の不純物濃度の
低い領域（LDD領域）13の長さを $0.1\mu\text{m}$ とする
場合には、ゲート電極の高さは $0.5\mu\text{m}$ 以下でなければ
ならなかった。もし、ゲート電極がそれ以上の高さとな
れば、LDD領域の長さは $0.1\mu\text{m}$ 以上となる。こ
のことは、ソース、ドレイン間の抵抗が増えることであ
り、望ましくない。

【0008】また、このスペーサーの幅は、ばらつきが
大きく、各トランジスタ間での特性がまちまちな
ことが多くあった。このように、従来の第1の技術のL
DDの作製方法は短チャネルでの安定性とそれに伴う高
集積化と高速性をもたらした反面、その作製上の問題か
らより一層の高速化、高集積化の妨げとなるという矛盾
を呈している。

【0009】本発明は、チャネル領域の不純物濃度を高
くすることなく、ドレインとウェル間の空乏層のウェ
ル側への広がりを抑制し、かつドレイン、ソースの接合を
浅い接合とする方法及び、LDD構造のスペーサを高ア
スペクト比で幅精度を向上させる方法を提案することを目
的とする。

【0010】

【課題を解決するための手段】本発明は、MOSトランジ
スタからなる半導体素子において、前記MOSトランジ
スタのドレイン領域の下部に、ドレイン領域とは異なる極
性でかつ前記MOSトランジスタのウェル領域よりも不純
物濃度が高い不純物領域が形成してあることを特徴とす
る半導体素子である。ドレイン領域の下部に、ドレイン
領域とは異なる極性でかつ前記MOSトランジスタのウェ
ル領域よりも不純物濃度が高い不純物領域を形成してい
るため、ドレインとウェル間の空乏層のウェル側への広
がりを抑制することができる。とくに、ドレイン領域の
下部における空乏層のウェル側への広がりを抑制できる
ため、チャネルよりも深い領域を通して流れる電流を抑
制することに対する効果が大きい。

【0011】前記不純物領域は、ドレイン領域下部だけ
でなく、ソース領域の下部にも形成してもよい。ドレイ
ン領域、あるいはソース領域の下部にウェルと同極性で
ウェルよりも不純物濃度が高い領域を形成しているた
め、前記不純物領域は、ドレイン、あるいはソース領域
のウェルの深い側への拡散を止める役割も果たしてお
り、浅い接合のドレイン、あるいはソースを形成するこ
とができる。ドレイン、ソース領域を浅い接合とするこ
とは、チャネルよりも深い領域を通して流れる電流を抑
制することにもつながるため、リーク電流抑制にはより
効果が大きい。また、ドレイン領域、あるいはソース領
域の下部にのみ不純物領域を形成するため、チャネル領
域の不純物濃度を高くすることではなく、チャネル領域へ

の弊害がない。

【0012】また、ドレイン領域下部の不純物領域の平面的な形成部分は、ドレイン領域の形成部分と同一でよく、ドレイン領域下部の不純物領域の形成工程は、ドレイン領域の形成工程の直前、もしくは直後に行うことができるため、ドレイン領域下部の不純物領域形成のために新たなマスク工程を必要としない。このため、ドレイン領域下部の不純物領域形成による製造コスト増はほとんどない。当然、ソース領域の下部に形成した場合も同様である。また、ドレイン領域が、LDD構造のような薄

い不純物濃度のドレイン領域と濃い不純物濃度のドレイン領域からなる場合は、薄いドレイン領域の下部に形成することになる。

【0013】ドレイン、あるいはソース領域下部の不純物領域は、ドレイン、あるいはソース領域のウエルの深い側への拡散を止める役割も果たしている。このため、前記不純物領域をイオン注入法で形成する場合、イオン注入深さをドレイン、あるいはソース領域の全行程終了後の接合深さ近傍にすることが適切である。ドレイン領域が、LDD構造のような薄い不純物濃度のドレイン領域と濃い不純物濃度のドレイン領域からなる場合は、薄いドレイン領域の接合深さ近傍に注入することになる。また、前記不純物領域を形成するときに注入するイオン数は、ドレイン領域の不純物濃度、ウエル領域の不純物濃度にもよるが、概ねドレイン領域に注入するイオン数の数十%程度が適している。

【0014】また、そこで本発明は、上記課題を解決するために以下の手段を用いた。P型半導体基板表面付近にゲート絶縁膜を介してN型多結晶シリコンゲートを形成する第1の工程と、N型多結晶シリコンゲートをマスクに自己整合的にN型不純物を導入し低濃度N型不純物領域を形成する第2の工程と、N型多結晶シリコンゲートとP型半導体基板表面付近をウェット熱酸化法を用いて700℃から800℃の温度で10分から30分間酸化することによりN型多結晶シリコンゲート側壁部に酸化膜を形成する第3の工程と、N型多結晶シリコンゲートと酸化膜をマスクにN型不純物を導入し高濃度N型不純物領域を形成する第4の工程とを用いた。

【0015】また、LDD構造のスペーサの製造方法として、P型半導体基板表面付近にN型ウエル領域を形成し、N型ウエル領域表面付近にゲート絶縁膜を介してN型多結晶シリコンゲートを形成する第1の工程と、N型多結晶シリコンゲートをマスクに自己整合的にP型不純物を導入し低濃度P型不純物領域を形成する第2の工程と、N型多結晶シリコンゲートとN型ウエル領域表面付近をウェット熱酸化法を用いて700℃から800℃の温度で10分から30分間酸化することによりN型多結晶シリコンゲート側壁部に酸化膜を形成する第3の工程と、N型多結晶シリコンゲートと酸化膜をマスクにP型不純物を導入し高濃度P型不純物領域を形成する第4の

工程とを用いた。

【0016】さらに、N型低濃度不純物領域を形成した後に、N型低濃度不純物領域の下側にP型不純物を導入してドレイン下部にドレインとは極性のことなる不純物領域を形成する工程を用いること、あるいは、P型低濃度不純物領域を形成した後に、P型低濃度不純物領域の下側にN型不純物を導入してドレイン下部にドレインとは極性のことなる不純物領域を形成する工程を用いること、また、N型低濃度不純物領域濃度を1E18/cm3程度で形成し、ドレイン下部の不純物領域濃度を1E17/cm3程度で形成すること、あるいは、P型低濃度不純物領域濃度を1E18/cm3程度で形成し、ドレイン下部の不純物領域濃度を1E17/cm3程度で形成することでリーク電流の小さなMOSトランジスタを製造できる。

【0017】

【発明の実施の形態】本発明の第1の実施例のMOSトランジスタ断面図が図1である。この実施例では、LDD構造のMOSトランジスタのドレイン、及びソース領域の下部に、ドレイン、及びソースと極性の異なる不純物領域を形成した例である。まず、Pチャネルトランジスタについて説明する。ウエル領域1は、リンを不純物としたN型である。フィールド酸化膜8、フィールドドープ領域9を形成して、膜厚150Åのゲート酸化膜7の上にポリシリコンからなるゲート電極6を形成する。この後、図7のように、Pチャネルトランジスタのドレイン及びソース領域だけ開口したレジストマスクを形成し、自己整合で薄いドレイン、及びソース領域となる2フッ化ボロンを、薄いドレイン、及びソース領域のイオン注入位置17、18にイオン注入する。

【0018】次に、ドレイン、及びソース領域の下部不純物領域となるように、リンを不純物領域のイオン注入位置にイオン注入する。このとき、リンのイオン注入は、おおよそ150keVで注入する。注入された不純物イオンは、後の工程を経て薄いドレイン、ソース領域3、5、あるいはドレイン、ソース下部の不純物領域15になる。

【0019】その後の工程は、通常のLDD構造の製造と同様で、スペーサ14を低温酸化膜で形成し、濃いドレイン、ソース領域2、4を、自己整合の2フッ化ボロンイオン注入で形成する。更に、ボロン・リンガラス膜からなる層間絶縁膜10を形成し、アルミ膜からなるドレイン、ソース配線12、13を形成し、最後に窒化珪素膜からなる保護膜11を形成して完成する。

【0020】次に、Nチャネルトランジスタについて説明する。ウエル領域1は、ボロンを不純物としたPである。Pチャネルトランジスタ同様に、フィールド酸化膜8、フィールドドープ領域9、ゲート酸化膜7、ゲート電極6を形成し、砒素イオンを注入して薄いドレイン、ソース領域3、5を、ボロンイオンを約150keVで注入して

ドレイン、ソース下部の不純物領域15を形成する。その後の工程は、Pチャネルトランジスタ同様で、スペーサ14を低温酸化膜で形成し、濃いドレイン、ソース領域2、4を、自己整合の砒素イオン注入で形成する。更に、ボロン・リンガラス膜からなる層間絶縁膜10を形成し、アルミ膜からなるドレイン、ソース配線12、13を形成し、最後に窒化珪素膜からなる保護膜11を形成して完成する。

【0021】上記実施例の説明では、薄いドレイン、ソース形成のイオン注入工程の後に、ドレイン、ソース下部不純物領域のイオン注入をするとしたが、ドレイン、ソース下部不純物領域のイオン注入をした後に、薄いドレイン、ソース形成のイオン注入をしても同様の効果が得られる。

【0022】図8に、Pチャネルトランジスタについて、ドレイン下部の不純物領域の不純物濃度を幾通りか試作して、リーク電流を評価した結果をしめした。ドレイン下部の不純物領域の効果で、リーク電流が約1/3に低減できることがわかる。Nチャネルトランジスタについても同様の効果が得られている。

【0023】図2、図3は、本発明の第2、第3の実施例のMOSトランジスタの断面図である。第2、第3の実施例は、薄いドレイン及びソース領域を自己整合でイオン注入して形成し、濃いドレイン、ソース領域をゲート電極から約1マイクロメートルをレジストでマスクした非自己整合でイオン注入して形成したマスクオフセット構造トランジスタにおいて、ドレイン、及びソース下部に不純物領域を形成した実施例である。図2は、ドレイン、ソースとも、濃い領域を非自己整合でゲート電極から離れたMOSトランジスタで、図3は、ドレインのみ濃い領域を非自己整合でゲート電極から離れたMOSトランジスタの例である。

【0024】Pチャネルトランジスタの場合、リンを不純物としたN型のウェル領域1、フィールド酸化膜8、フィールドドープ領域9、ゲート酸化膜7、ゲート電極6を形成し、2フッ化ボロンを自己整合でイオン注入して薄いドレイン、ソース領域3、5を形成、続いて同じレジストマスクのまま、リンイオン注入でドレイン、ソース下部不純物領域15を形成。次に、非自己整合で、2フッ化ボロンをイオン注入して、濃いドレイン、ソース領域2、4を形成。ボロン・リンガラス膜からなる層間絶縁膜10を形成し、アルミ膜からなるドレイン、ソース配線12、13を形成し、最後に窒化珪素膜からなる保護膜11を形成して完成する。

【0025】Nチャネルトランジスタも同様で、ウェルの不純物をボロンとし、ドレイン、ソースのイオン注入を砒素イオン、ドレイン、ソース下部不純物をボロンとするだけで、あとはPチャネルトランジスタと同じ工程である。

【0026】上記の実施例では、薄いドレイン、ソー

ス、及びドレイン、ソース下部不純物のイオン注入をした後に、濃いドレイン、ソースのイオン注入をしているが、先に濃いドレイン、ソースのイオン注入をして、後で薄いドレイン、ソース、及びドレイン、ソース下部不純物のイオン注入をしても効果は同じである。また、薄いドレイン、ソース形成のイオン注入工程の後に、ドレイン、ソース下部不純物領域のイオン注入をするとしたが、ドレイン、ソース下部不純物領域のイオン注入をした後に、薄いドレイン、ソース形成のイオン注入をしても同様の効果が得られる。

【0027】また、ドレインのみ薄い領域を形成する場合は、図6の第6の実施例のようにドレイン下部にのみ不純物領域を形成しても良い。

【0028】図4、5は、第4、第5の実施例のMOSトランジスタ断面図である。第4の実施例は、濃いドレイン、ソース領域のみのMOSトランジスタ構造である。この場合は、濃いドレイン、ソース領域2、4形成のためのイオン注入後、続いて同じレジストマスクのまま、ドレイン、ソース下部不純物領域15を形成して製造した。第1～第3の実施例と同様に、Pチャネルトランジスタのドレイン、ソースは2フッ化ボロンのイオン注入で、ドレイン、ソース下部不純物はリンのイオン注入で製造し、Nチャネルトランジスタのドレイン、ソースは砒素イオン注入で、ドレイン、ソース下部不純物はボロンのイオン注入で製造した。

【0029】また、第5の実施例は、DDD (Double Doped Drain) 構造に本発明を適用した実施例で、第4の実施例において、Nチャネルトランジスタのドレイン、ソース形成を同じレジストマスクのまま、濃い砒素のイオン注入、薄いリンのイオン注入、更にドレイン、ソース下部不純物となるボロンのイオン注入を続けて行い製造した。

【0030】図4、5とも、本発明の効果をを得ることができる。

【0031】また、LDD構造のスペーサ形成の実施例を図9に基づいて説明する。この実施例では単結晶半導体基板上に形成した相補型MOSFET装置(CMOS)に本発明を用いた場合を示す。本実施例を図9に示す。まず、図9(A)に示すように、P型半導体基板101上に、従来の集積回路作製方法を使用して、N型ウェル107、フィールド絶縁物108、N型不純物領域111、N+型不純物領域112、P+型不純物領域114、P型不純物領域115、リンがドープされたN型多結晶シリコンのゲート電極116(NMOS用)と同一117(PMOS用)を形成する。

【0032】その詳細な作製方法は以下の通りである。P型半導体基板101表面付近にリンイオンを注入し、1000～1175℃で3～20時間アニールして、リンイオンを拡散、再分布させ、不純物濃度1E16cm⁻³程度のN型ウェル107を形成する。引き続き、パタ

ーンニングされた領域にB+イオンを打ち込み、いわゆるLOCOS法によって、チャネルストッパーとフィールド絶縁物108を形成する。

【0033】その後、所望のチャネル領域へのしきい値電圧制御用のイオン注入と、熱酸化法による厚さ20～30nmのゲート絶縁膜（酸化珪素）形成と、別のチャネル領域へのしきい値電圧制御用のイオン注入と、減圧CVD法等による厚さ300～500nm、リン濃度1E21cm⁻³程度の多結晶シリコン膜形成と、これをパターンニングしてゲート電極となるべき部分116および117形成をおこなう。そして、再び、ゲート電極となるべき部分および必要によっては他のマスクを用いて、不純物濃度1E18cm⁻³程度のN型不純物領域111と不純物濃度1E17cm⁻³程度のドレイン下の不純物領域124を形成し、さらにBF₂+イオンを打ち込んで、不純物濃度1E18cm⁻³程度のP型不純物領域115と不純物濃度1E17cm⁻³程度のドレイン下の不純物領域125を作製する。このようにして図10

(A)を得る。

【0034】次に、図10(B)に示すように、熱酸化法（低温ウェット酸化法）によって、ゲート電極となるべき部分を酸化する。酸化の条件としては、例えば、湿式酸素中で、700～800℃程度、10～30分程度酸化する。この酸化条件はN型の不純物濃度が1E19cm⁻³以上のシリコン領域の酸化レートが著しく大きいいため、この実施例では、この熱酸化工程で、N型不純物領域112とリン濃度1E21cm⁻³程度の多結晶シリコンで作られているゲート電極116、117が比較的厚く酸化される。

【0035】この熱酸化によって、ゲート電極となるべき部分の周囲に厚さ約100～500nmの酸化膜126および127が形成され、その内部にゲート電極116および117が残る。この酸化工程でゲート電極となるべき部分のシリコン表面は約50～250nmだけ後退し、一方、単結晶シリコン基板の表面も約5～10nmだけ後退したが、その後退した領域は拡散されて広がってきたN型不純物領域111またはP型不純物領域115内に包含されるので半導体素子の特性にはほとんど影響を与えない。

【0036】また、この酸化工程は、低温、短時間で酸化膜126および127を厚く形成できるので、事前に形成されたチャネル領域の不純物濃度プロファイル変動を著しく小さく抑えられるため、事前の不純物注入量を少なく、またチャネル領域極表面部分にのみ不純物プロファイルを設定できる。これは、トランジスタのサブスレショウ特性を良好に維持でき、低しきい値化が容易に実現できる。

【0037】さらに、この酸化工程は、低温、短時間で酸化膜126および127を厚く形成できるので、事前に形成されたN型不純物領域111、P型不純物領

域115、ドレイン下の不純物領域124、125の不純物濃度プロファイル変動を著しく小さく抑えられるため、実効チャネル領域長の縮小にも有効である。特にPMOSFETの場合、P型不純物領域115を形成するために不純物としてBまたはBF₂を用い、ドレイン下の不純物領域125（P型不純物領域115からの空乏層の伸びを抑えるために形成されている）を形成するために不純物としてPhosまたはAsを用いるが、これらの不純物の拡散係数はどの組み合わせにおいてもP型不純物領域115を構成する不純物が大きく拡散しやすいため、温度が高く時間の長い熱工程を経ると、P型不純物領域115のチャネル領域側端部の下側にまではドレイン下の不純物領域125が存在できなくなる。このことは、P型不純物領域115の空乏層が広がりを大きくすることとなり、チャネルリークを増加させ、チャネル領域長の縮小を妨げる結果となるので、P型不純物領域115とドレイン下の不純物領域125形成後の熱工程の低温、短時間化は、微細化の必須条件である。

【0038】次いで、再びイオン注入法によって、N+型の不純物領域112とP+型の不純物領域114を形成する。いずれの不純物領域も不純物濃度は1E21cm⁻³程度とする（図10(C)）。

【0039】最後に、従来の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層120を形成する。リンガラス層の形成には、例えば、減圧CVD法を用いればよい。材料ガスとしては、モノシランSiH₄と酸素O₂とホスフィンPH₃を用い、450℃で反応させて得られる。

【0040】その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極121を形成する。こうして、図10(D)に示されるような相補型MOS装置が完成する。

【0041】こうして得られた相補型MOSFET装置を構成するMOSFETは従来のスペーサーを用いたLDD構造や、熱酸化を用いたLDD構造のMOSFETに比べて、そのトランジスタ特性の安定度や、信頼度、パフォーマンスに優れている。

【0042】

【発明の効果】本発明により、MOSトランジスタのドレイン領域の下部に、ドレイン領域とは異なる極性でかつ前記MOSトランジスタのウェル領域よりも不純物濃度が高い不純物領域が形成することで、チャネル領域の不純物濃度を高くすることなく、ドレインとウェル間の空乏層のウェル側への広がりを抑制し、かつドレイン、ソースの接合を浅い接合とすることで、リーク電流の小さなMOSトランジスタを実現することができる。また、前記ドレイン領域下部の不純物領域形成のために新たにマスク工程を必要としないため、製造コストはほとんど変わらない。このため、安価で、高速で、低消費電力で、かつ大電流を駆動する必要があるドライバ素子を搭載した半

導体素子を提供することができる。

【0043】また、本発明によって、安定度、信頼度、パフォーマンスに優れたLDD型MOSFETを作製することが可能となった。また、そのLDD領域の幅も100～500nmの間で極めて精密に制御することができる。特に本発明は、短チャネル化によって、今後進捗すると考えられるゲート電極の高アスペクト比化に対し有効な方法である。

【0044】もちろん、従来通りのアスペクト比が1以下の低アスペクト比のゲート電極においても、本発明を使用することは可能で、従来のスペーサーを用いたLDD作製方法に比して、絶縁膜の形成とその異方性エッチングの工程が不要となり、また、LDD領域の幅も精密に制御することが可能であるため、また、従来の熱酸化膜を用いたLDD作製方法に比しても、事前に形成された各種不純物領域の濃度プロファイルを変動させずにLDD構造を形成できるため、本発明の効果は著しい。

【0045】本発明は主としてシリコン系の半導体装置について述べたが、ゲルマニウムや炭化珪素、砒化ガリウム等の他の材料を使用する半導体装置にも本発明が適用されうことは明白である。さらに、本発明では、ゲート電極の酸化特性が重要な役割を果たすが、本発明で主として記述したシリコンゲート以外にも、低温ウエット条件で酸化レートの大い物質等をゲート電極として用いてもよい。また、実施例ではP型半導体基板上のMOSFETの作製工程について記述したが、石英やサファイヤ等の絶縁性基板上に形成された多結晶あるいは単結晶半導体被膜を利用した薄膜トランジスタ(TFT)の作製にも本発明が適用されうことも明らかであろう。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図である。

【図2】本発明の第2の実施例の断面図である。

【図3】本発明の第3の実施例の断面図である。

【図4】本発明の第4の実施例の断面図である。

【図5】本発明の第5の実施例の断面図である。

【図6】本発明の第6の実施例の断面図である。

【図7】本発明の第1の実施例の製造工程の断面図である。

【図8】本発明の第1の実施例におけるリーク電流抑制効果である。

【図9】本発明の第7の実施例の断面図である。

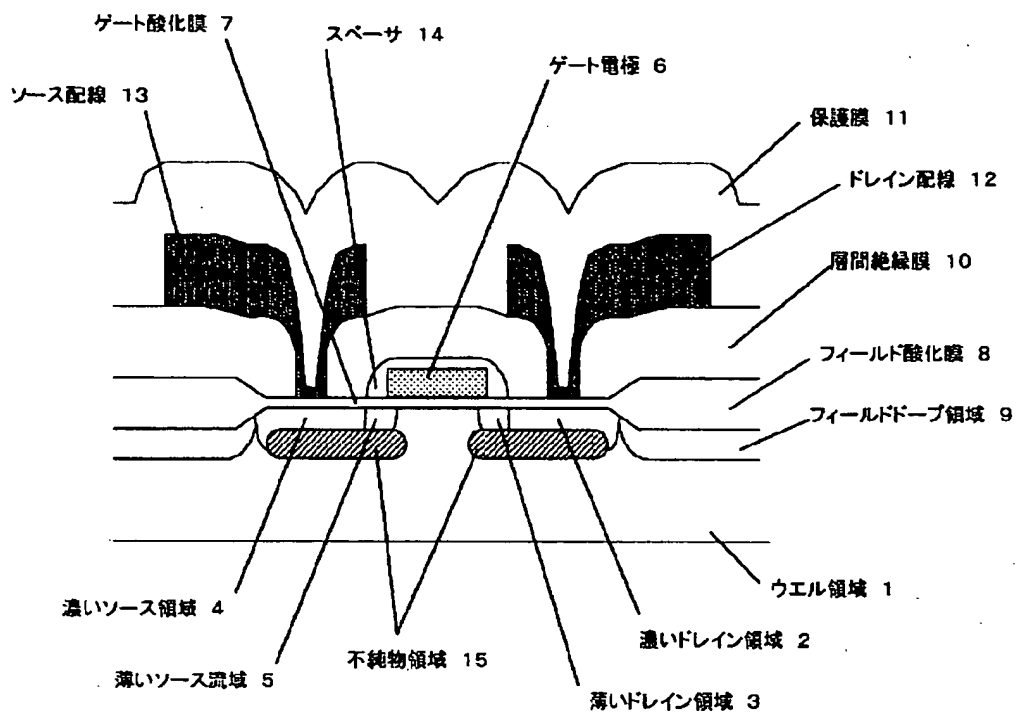
【図10】本発明の第8の実施例の断面図である。

【図11】従来のLDD構造の断面図である。

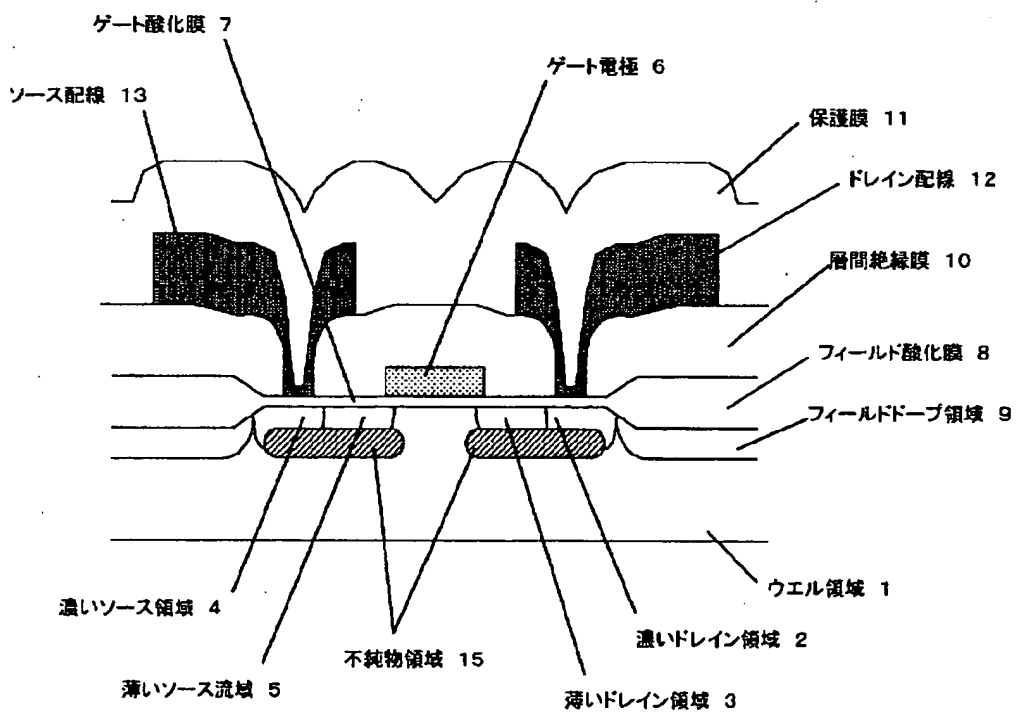
【符号の説明】

- 1 ウェル領域
- 2 濃いドレイン領域
- 3 薄いドレイン領域
- 4 濃いソース領域
- 5 薄いソース領域
- 6 ゲート電極
- 7 ゲート酸化膜
- 8 フィールド酸化膜
- 9 フィールドドープ領域
- 10 層間絶縁膜
- 11 保護膜
- 12 ドレイン配線
- 13 ソース配線
- 14 スペーサ
- 15 不純物領域
- 16 レジスト
- 17 薄いドレイン領域のイオン注入位置
- 18 薄いソース領域のイオン注入位置
- 19 不純物領域のイオン注入位置
- 101 ゲート電極
- 102 ゲート絶縁膜
- 103 不純物濃度の高い領域
- 104 ゲート電極
- 106 スペーサー
- 108 フィールド絶縁膜
- 111 N-型不純物領域
- 112 N+型不純物領域
- 113 不純物濃度の低い領域
- 114 P+型不純物領域
- 115 P-型不純物領域
- 116 ゲート電極
- 117 ゲート電極
- 118、119 酸化珪素層
- 120 リンガラス層
- 121 アルミ電極
- 124 不純物領域
- 125 不純物領域
- 126 酸化膜

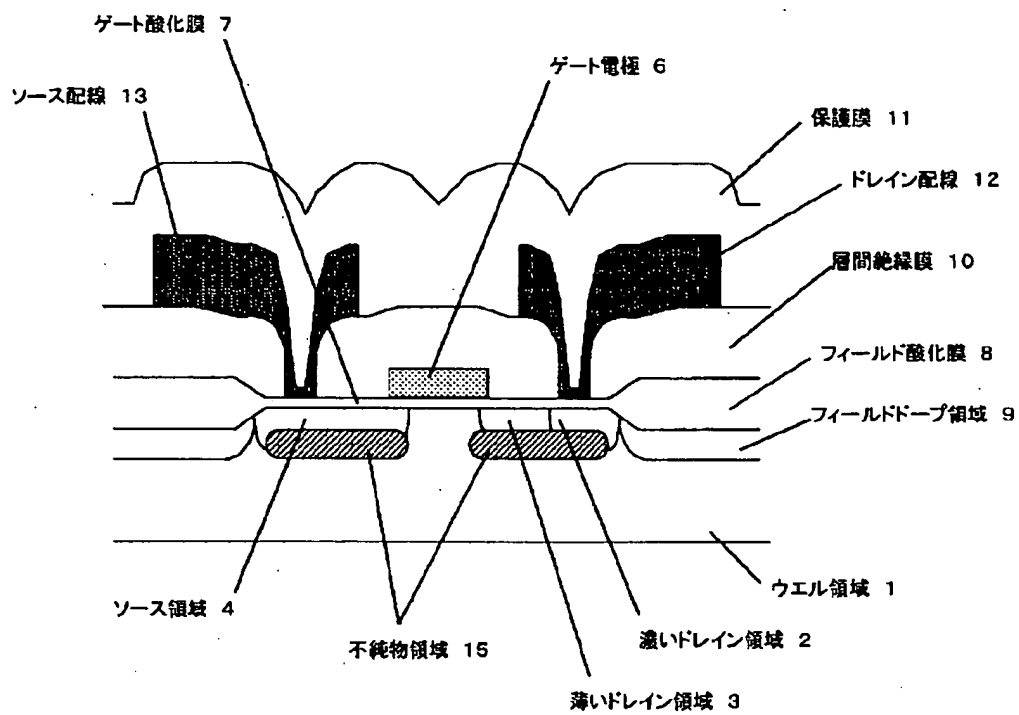
【図1】



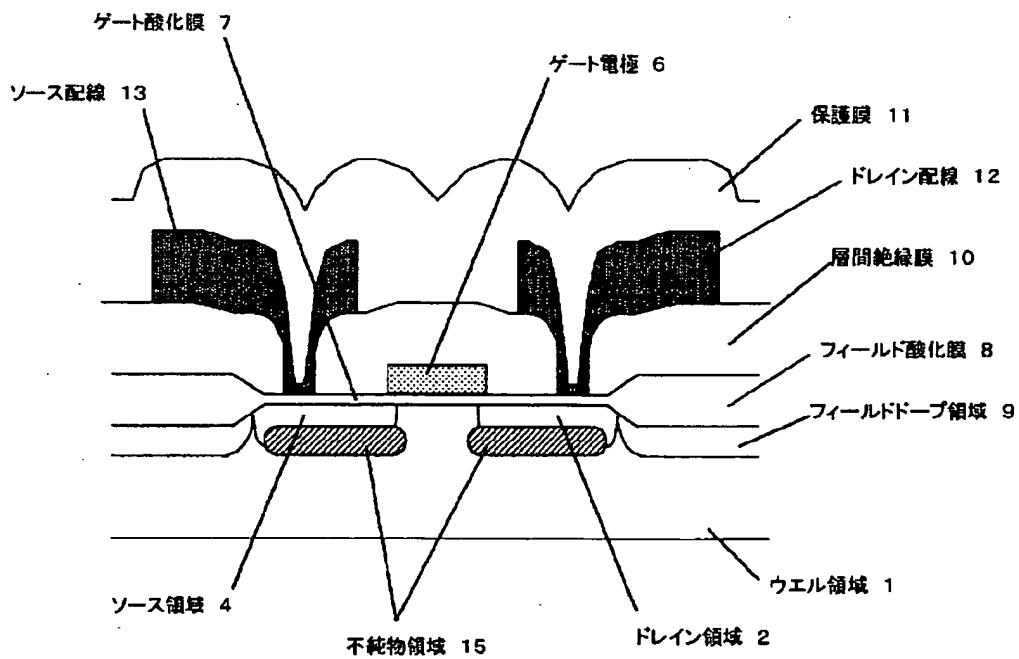
【図2】



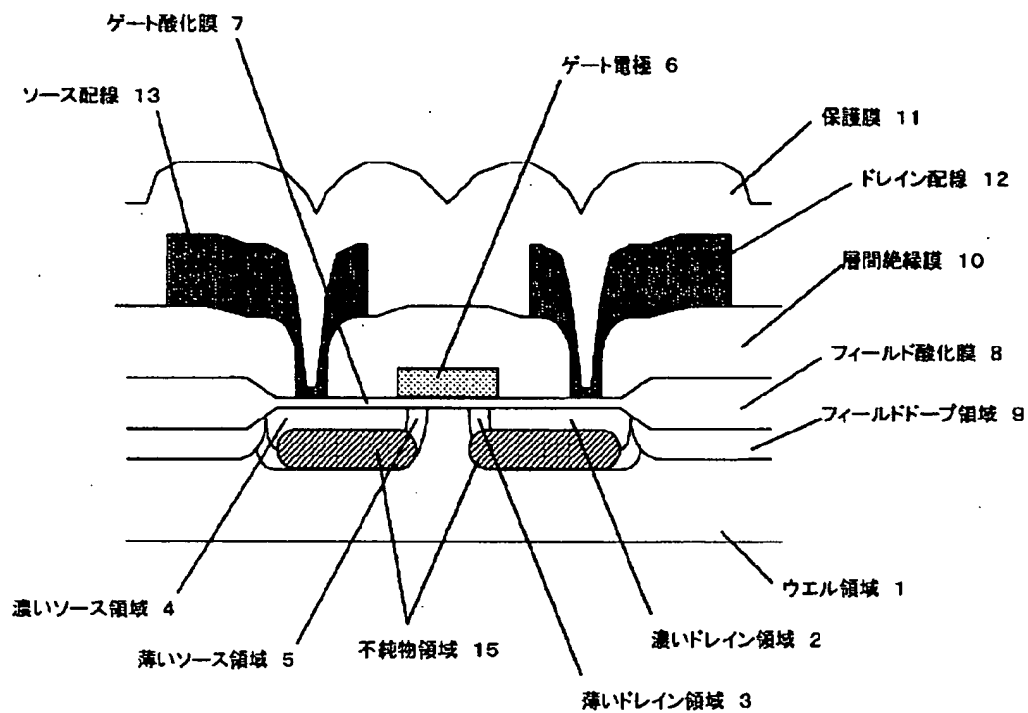
【図3】



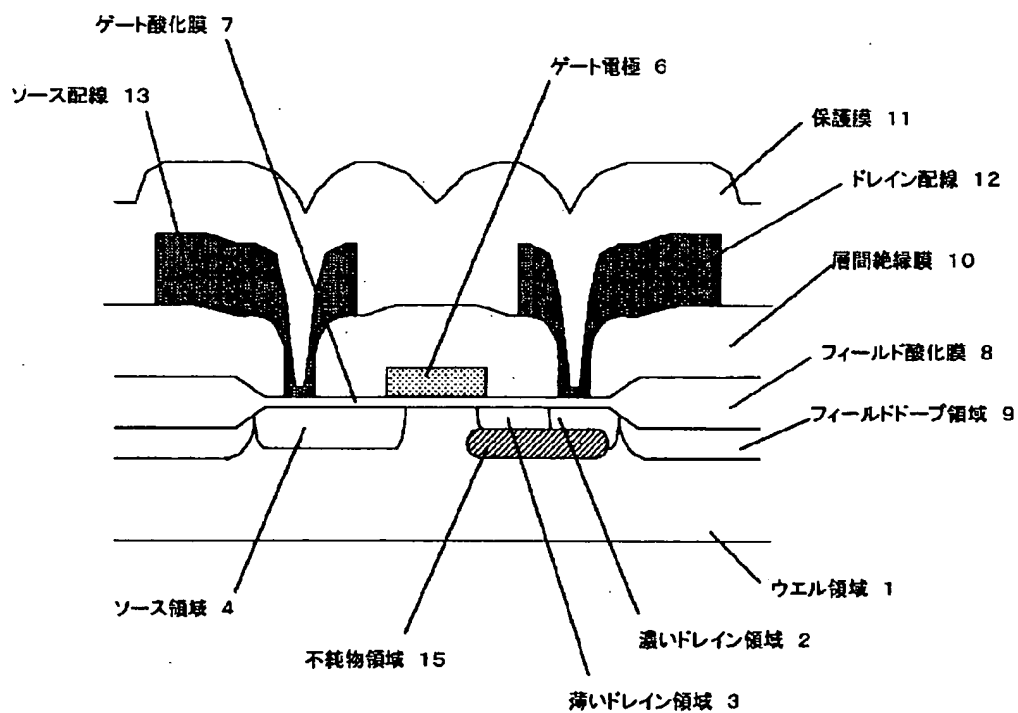
【図4】



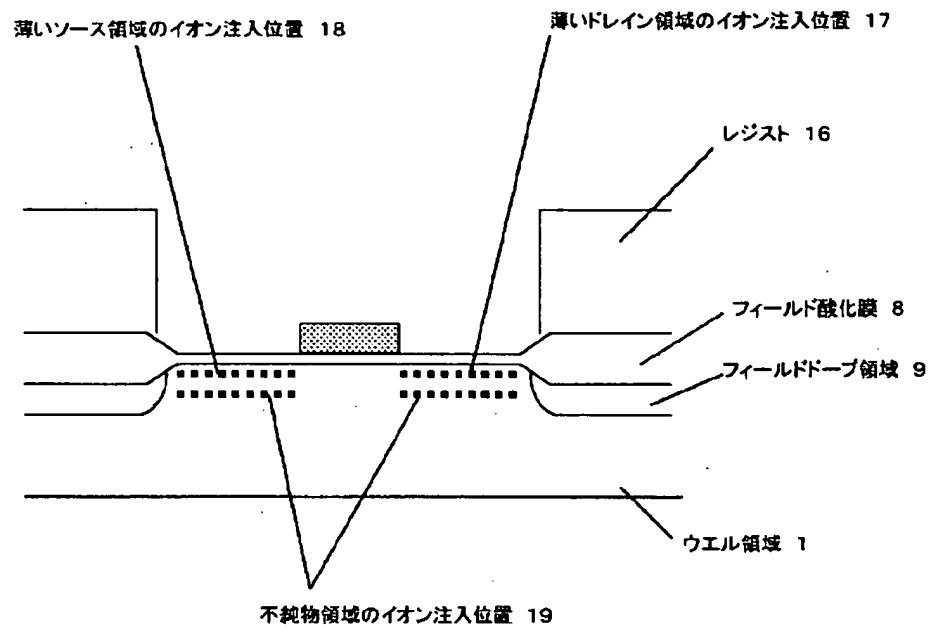
【図 5】



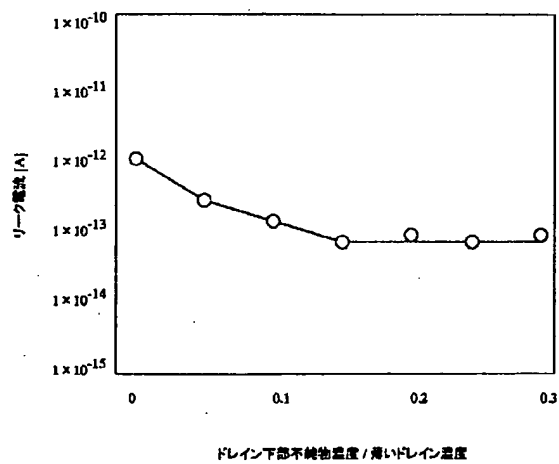
【図 6】



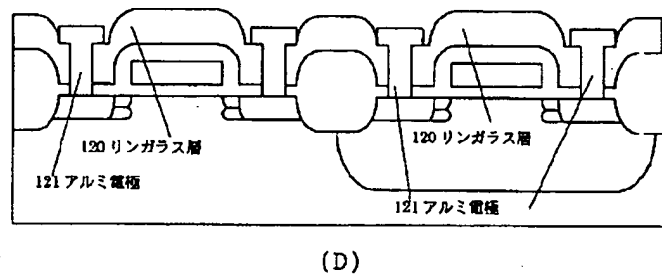
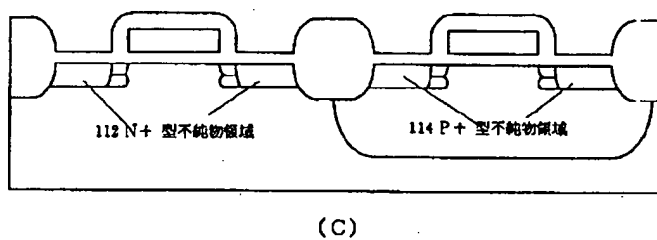
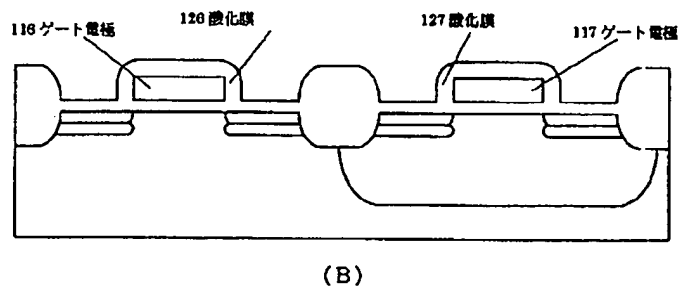
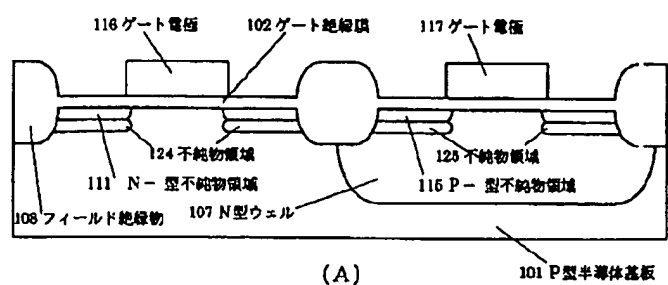
【図7】



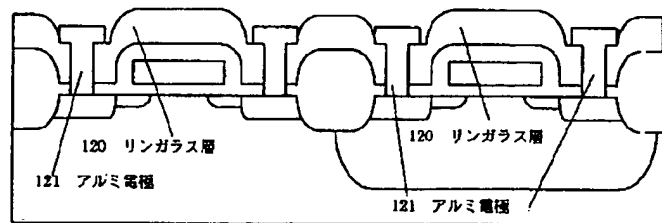
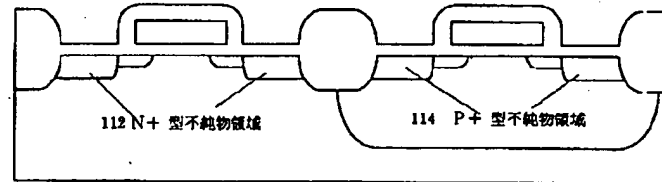
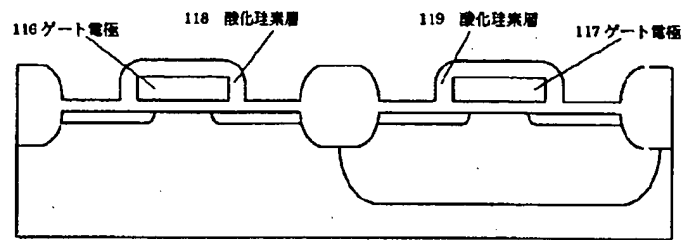
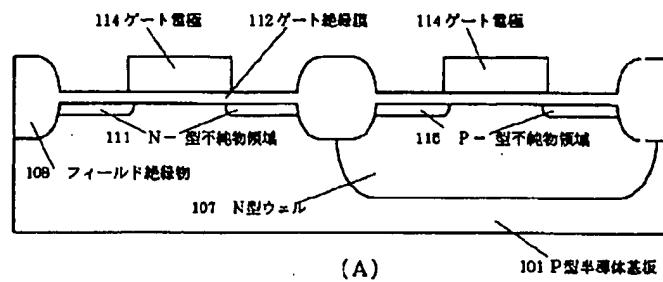
【図8】



【図9】



【図10】



【図 11】

